

⑫ 公開特許公報(A) 平2-210985

⑤ Int.Cl.³

H 04 N 5/66
G 02 F 1/133
G 09 G 3/36

識別記号

1 0 2 B
5 5 0

庁内整理番号

7605-5C
8708-2H
8621-5C

⑬ 公開 平成2年(1990)8月22日

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 マトリクス型液晶表示装置の駆動回路

⑯ 特 願 平1-261206

⑰ 出 願 平1(1989)10月4日

優先権主張 ⑱ 昭63(1988)10月4日 ⑲ 日本(JP) ⑳ 特願 昭63-250349

⑲ 発 明 者 金 谷 吉 晴 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑲ 発 明 者 福 岡 宏 文 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑲ 発 明 者 織 井 嘉 彦 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
⑲ 代 理 人 弁理士 山本 秀策

明 細 書

1. 発明の名称

マトリクス型液晶表示装置の駆動回路

2. 特許請求の範囲

1. マトリクス状に配列された液晶絵素と、各液晶絵素に接続されたスイッチング素子と、一方向に並ぶスイッチング素子群の開閉端子に接続された走査線と、該走査線と交差する方向に並ぶスイッチング素子群の信号入力端子に接続された信号線とを有する液晶パネルを備えたマトリクス型液晶表示装置の駆動回路であって、

1 水平走査期間内に設けられた書き込み期間に、走査されているフィールドに対応する走査線群の中の何れかの走査線を選択的に駆動し、該水平走査期間内に該書き込み期間とは時分割で設けられた消去期間に、該走査されているフィールドに対応しない走査線群の中の少なくとも1個の走査線を選択的に駆動する開閉端子駆動手段、及び、

該書き込み期間に、入力画像信号に応じた電圧を該信号線に印加し、該消去期間に、該液晶絵素

に該液晶絵素の閾値以下の電圧を加えるための電圧を該信号線に印加する信号入力端子駆動手段を備えたマトリクス型液晶表示装置の駆動回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はマトリクス型液晶表示装置の駆動回路に関する。

(従来の技術)

マトリクス型液晶表示装置は、近年における急速な技術の進歩により、CRTに匹敵する表示装置としての地位を固めつつある。マトリクス型液晶表示装置は、薄型軽量であること、消費電力が小さいこと等の優れた特徴を有しているため、現在では、テレビ受像機の表示部や、パーソナルコンピュータ等の情報機器用の表示装置等の広汎な用途が期待されている。

第5図に従来のマトリクス型液晶表示装置の一例を示す。第5図のマトリクス型液晶表示装置は、絵素を駆動するための能動素子として3端子素子であるTFT(Thin Film Transistor)を用いた

ものである。TFT液晶パネル100は n 行 m 列のマトリクス状に配設された液晶絵素(以下では「絵素」と略称する)103を備えている。各絵素103の近傍にはTFT104がそれぞれ設けられ、TFT104のドレイン電極は絵素103の電極に接続されている。全ての絵素103の電極には共通の対向電極105が配置されている。TFT液晶パネル100には n 本の走査線101が平行に配設されている。1番目の走査線101には1行目のTFT104のゲート電極(開閉端子)が接続されている。走査線101に直交するように m 本の信号線102が平行に配設されている。1番目の信号線102には1列目のTFT104のソース電極(信号入力端子)が接続されている。

TFT液晶パネル100はゲートドライバ200及びソースドライバ300を含む駆動回路によって駆動される。ゲートドライバ200及びソースドライバ300はTFTパネル100の走査線101及び信号線102にそれぞれ接続されてい

る。2, ..., m) がオンし、 $TR(j, i)$ のドレイン電極に $v_s(j, i)$ が発生する。従って、 $TR(j, i)$ に接続されている絵素103に印加される電圧 $e(j, i)$ は、 $v_s(j, i)$ と対向電極105に印加されている電圧 v_o との差電圧、即ち $v_s(j, i) - v_o$ である。以上の動作を以下では「書き込み」と称する。1番目から m 番目までの水平走査期間に於て書き込みが順次行われることにより、1フレーム又は1フィールドの表示が完了する。

絵素103は容量性を有するので、書き込まれた電圧は一定時間に亘って保持される。各フィールドでは、その直前のフィールドに於て信号線102に印加された電圧とは逆極性の電圧が用いられる。即ち、2フィールドで1交流サイクルが閉じられる交流駆動が行われる。交流駆動が行われるのは、絵素103に直流電圧が加わることによって絵素103が劣化するのを回避するためである。

(発明が解決しようとする課題)

る。画像信号はソースドライバ300に入力される。ゲートドライバ200に入力される走査パルス及びソースドライバ300に入力されるサンプリングクロック等の制御信号は図外のコントロール回路から与えられる。

第5図のマトリクス型液晶表示装置における1フィールドまたは1フレーム内の表示タイミングの一部を第6図に示す。ソースドライバ300は、水平同期信号のパルスによって開始される各水平走査期間において、シリアルに入力される画像信号をサンプリングする。1番目の水平走査期間1Hでサンプリングされた画像信号の振幅に応じた電圧 $v_s(j, i)$ ($j=1, 2, \dots, m$) が、 $j+1$ 番目の水平走査期間($j+1$)H中に信号線102に並列に印加される。他方、ゲートドライバ200は、水平走査期間($j+1$)H中に1番目の走査線にパルスを印加する(第6図に於て、 g_1 は1番目の走査線101の電圧を示している)。このことにより、1番目の走査線101に接続されたTFT104である $TR(j, i)$ ($i=1,$

マトリクス型液晶表示装置の駆動回路による表示方式には、CRTの場合と同様に、飛越し走査(インタレース走査)及びノンインタレース走査がある。

ノンインタレース走査では各フレームに於て全ての走査線101が順次走査される。第7図に示すように、ノンインタレース走査では、ある絵素103に注目すればその絵素103には各フレームに於て書き込みが行われる。

これに対してインタレース走査では、1フレームが奇数番目の走査線101に対応する奇数フィールドと偶数番目の走査線101に対応する偶数フィールドとに分けられ、奇数フィールドの走査と偶数フィールドの走査とが交互に行われる。日本で採用されているテレビジョン方式であるNTSC方式ではインタレース走査が行われている。第8図に示すように、インタレース走査では、奇数フィールドで奇数行の絵素103に書き込まれた電圧 $e(2k-1, i)$ は直後の偶数フィールドの走査の間保持される。同様に、偶数フィールド

ドで偶数行の絵素に書き込まれた電圧 e ($2k, 1$) は直後の奇数フィールドの走査の間保持される。従って、奇数フィールドでの書き込みによる表示と偶数フィールドでの書き込みによる表示とが、1フィールド周期 t_v (NTSC方式の場合、 $t_v = 16.7 \text{ ms}$) の間同時に行われる。このことにより、動画を表示する場合に画質が劣化するという問題が生じている。即ち、静止画では第9図(a)に示すように直線として表示される画像が、 $t_v/2$ 当り1ドット以上の速さで水平方向に移動する動画として表示される場合には、第9図(b)に示すように奇数番目の走査線上の表示と偶数番目の走査線上の表示との間に1ドット以上のずれが発生し、画像に乱れが生じる。TFT液晶パネル100は上述したように書き込み電圧を長時間保持する機能を備えているため、CRTに於て問題となるフリッカを効果的に改善することができるが、この機能は強い残像を生じさせるものであるため、動画の表示に対してはかえって悪影響を及ぼす。

(課題を解決するための手段)

本発明のマトリクス型液晶表示装置の駆動回路は、マトリクス状に配列された液晶絵素と、各液晶絵素に接続されたスイッチング素子と、一方向に並ぶスイッチング素子群の開閉端子に接続された走査線と、該走査線と交差する方向に並ぶスイッチング素子群の信号入力端子に接続された信号線とを有する液晶パネルを備えたマトリクス型液晶表示装置の駆動回路であって、1水平走査期間内に設けられた書き込み期間に、走査されているフィールドに対応する走査線群の中の何れかの走査線を選択的に駆動し、該水平走査期間内に該書き込み期間とは時分割で設けられた消去期間に、該走査されているフィールドに対応しない走査線群の中の少なくとも1個の走査線を選択的に駆動する開閉端子駆動手段、及び、該書き込み期間に、入力画像信号に応じた電圧を該信号線に印加し、該消去期間に、該液晶絵素に該液晶絵素の閾値以下の電圧を加えるための電圧を該信号線に印加する信号入力端子駆動手段を備えており、そのこと

ノンインタレース走査によればこのような問題は生じない。しかし、例えばNTSC方式のようなインタレース走査に対応した画像信号を表示する場合には、マトリクス型液晶表示装置はサンプリングした画像信号を蓄積するためのフレームメモリ又はフィールドメモリを備える必要がある。更に、高速のA/D変換器や3次元信号処理を行うための回路が必要となる。また、インタレース走査の場合に比べ、1フィールド期間内に2倍の走査線を駆動することが必要であるため、ソースドライバ及びゲートドライバを含む駆動回路の動作の高速化、並びに液晶パネルの動作の高速化も求められる。従って、既存の技術によってノンインタレース走査が可能であったとしても、駆動回路及び表示装置は著しく高価なものになるであろう。

本発明はこのような現状に鑑みてなされたものであり、その目的とするところは、インタレース走査を行う場合に於ても、残像の影響による動画の画質劣化を改善することができる、マトリクス型液晶表示装置の駆動回路を提供することにある。

により上記目的が達成される。

(実施例)

本発明を実施例について以下に説明する。

第1図に本発明の一実施例を備えたマトリクス型液晶表示装置のブロック図を示す。TFT液晶パネル1は第5図に示した従来のものと同様に構成されている。尚、絵素のスイッチングには上記TFT以外にMIM、MOSトランジスタ等のスイッチング素子が利用される。駆動回路6は、ゲートドライバ2、2個のソースドライバ3、4及びそれらを制御するためのコントロール回路5を備えている。コントロール回路5は、外部から入力される同期信号に基づいて制御信号を発生し、これをゲートドライバ2及びソースドライバ3、4に与える。ゲートドライバ2に入力される制御信号には走査パルスが、ソースドライバ3、4に入力される制御信号にはサンプリングクロックがそれぞれ含まれる。ゲートドライバ2はシフトレジスタ21、レベルシフト22及び出力バッファ23を有している。出力バッファ23はTFT液

品パネル1のn本の走査線11に接続されている。ソースドライバ3は、シフトレジスタ31、サンプル・ホールド回路32、マルチプレクサ33及び出力バッファ34を有している。出力バッファ34はTFT液晶パネル1のm本の信号線12に接続されている。ソースドライバ4はソースドライバ3と同様に、シフトレジスタ41、サンプル・ホールド回路42、マルチプレクサ43及び出力バッファ44を有している。出力バッファ44もまたTFT液晶パネル1の信号線12に接続されている。画像信号は両ソースドライバ3、4に入力されている。

駆動回路6は、奇数フィールドの走査と偶数フィールドの走査とを交互に行うインタレース走査方式でTFT液晶パネル1を駆動する。但し、従来とは異なり、第2図に示すように、各水平走査期間内に書き込み期間と消去期間とが時分割で設けられている。以下では駆動回路6の動作を説明する。

第1図のマトリクス型液晶表示装置における奇

$v_{(2k-1, 1)}$ が発生する。従って、 $TR(2k-1, 1)$ に接続されている絵素に印加される電圧 $e(2k-1, 1)$ は、 $v_{(2k-1, 1)}$ と対向電極15に印加されている電圧 $v_{\text{と}}$ との差電圧、即ち $v_{(2k-1, 1)} - v_{\text{と}}$ となる。このようにして書き込みが行われる。

水平走査期間 $(k+1)H$ の後半の消去期間に於ては、ゲートドライバ2は、同水平走査期間内の書き込み期間に於て選択された走査線11に隣接する $2k$ 番目の走査線11にパルス印加する。上記消去期間に於ては、偶数フィールド用のソースドライバ4の出力バッファ44により、絵素に加わる電圧 $v_{\text{と}}$ が絵素の閾値以下になるような電圧が信号線12に印加される。このことにより、 $2k$ 番目の走査線11上の絵素は消去状態になる。以下ではこの動作を「消去」と称する。マルチプレクサ33、43は、サンプル・ホールド回路32、42から出力される電圧と、絵素を消去状態にするための電圧とを、コントロール回路5からの制御信号に従って選択的に出力バッファ34、

数フィールド内での表示タイミングの一部を第3図に示す。水平同期信号のパルスによって開始される各水平走査期間において、シリアルに入力される画像信号が奇数フィールド用のソースドライバ3のシフトレジスタ31及びサンプル・ホールド回路32によってサンプリングされ、保持される。 $k(k=1, 2, \dots, n/2)$ 番目の水平走査期間 kH にサンプリング、保持された画像信号の振幅に応じた電圧 $v_{(2k-1, 1)}(i=1, 2, \dots, m)$ が、 $k+1$ 番目の水平走査期間 $(k+1)H$ 内の前半の書き込み期間に於てマルチプレクサ33及び出力バッファ34を介して信号線12に並列に印加される。他方、ゲートドライバ2は、水平走査期間 $(k+1)H$ 内の上記書き込み期間に $2k-1$ 番目の走査線11にパルス印加する(第3図では、 g_{2k} は $2k$ 番目の走査線11の電圧を示している)。このことにより、 $2k-1$ 番目の走査線11に接続されたTFTである $TR(2k-1, i)(i=1, 2, \dots, m)$ がオンし、 $TR(2k-1, i)$ のドレイン電極に

44にそれぞれ与えるために設けられている。コントロール回路5からマルチプレクサ33及び43へは、各書き込み期間の開始時点及び終了時点に於いてレベルが変化する切換タイミングパルス(第3図参照)が供給される。消去期間に於いて信号線12に印加される、絵素を消去状態にするための電圧は、コントロール回路5から、又は駆動回路6の外部からマルチプレクサ33及び43に与えられる。

1水平走査期間内での書き込み期間と消去期間とへの時間配分及びそれらの順序は、絵素の特性等を勘案して適切に定めることができる。

偶数フィールドの走査に於ては、奇数フィールド用のソースドライバ3の役割と偶数フィールド用のソースドライバ4の役割とが交換される。また、ゲートドライバ2は、書き込み期間に於て偶数番目の走査線11を、消去期間に於て奇数番目の走査線11をそれぞれ駆動する。

複数のフィールドに亘る絵素に対する印加電圧を第4図に示す。奇数行の絵素に対しては、奇数

フィールドの走査期間に書き込みが行われ、偶数フィールドの走査期間に消去が行われる。偶数行の絵素についてはその逆になる。このように、本実施例の駆動回路6によれば、奇数行の絵素と偶数行の絵素とが書き込まれた電圧を同時に保持している期間が大幅に短縮される。従って、動画を表示する場合に於ける画質の劣化が大きく改善される。

本発明の理解を容易にするために、2個のソースドライバ3及び4を備えた実施例の説明を行ったが、本発明の駆動回路の構成はこのようなものに限定されない。第10図に本発明の第2の実施例を備えたマトリクス型液晶表示装置のブロック図を示す。第10図に示す駆動回路8は、1個のソースドライバ7を備えている。ソースドライバ7は、第1図のソースドライバ3又は4と同様に、シフトレジスタ71、サンプル・ホールド回路72、マルチプレクサ73及び出力バッファ74を有している。ソースドライバ7の動作はソースドライバ3又は4のそれに類似している。しかし、

ソースドライバ7は第1図のソースドライバ3又は4とは異なり、奇数フィールド及び偶数フィールドの両方で、書き込み期間に於いては画像信号に応じた電圧を信号線12に印加し、消去期間に於いては絵素を消去状態にするための電圧を信号線12に印加する。

本発明の適用範囲は、NTSC方式のような2:1のインタレース走査を行う駆動回路に限られない。

(発明の効果)

本発明によれば、動画を表示する場合に於て、インタレース走査を行うにも拘らず、画質の劣化を大幅に改善することができるマトリクス型液晶表示装置の駆動回路が提供される。

4. 図面の簡単な説明

第1図は本発明の一実施例を備えたマトリクス型液晶表示装置の概略構成を示すブロック図、第2図は第1図のマトリクス型液晶表示装置に於て水平走査期間内に設けられた書き込み期間と消去期間とを模式的に示す図、第3図は第1図のマ

トリクス型液晶表示装置に於ける1奇数フィールド内での表示タイミングの一部を示すタイミングチャート、第4図は第1図のマトリクス型液晶表示装置に於ける絵素に対する印加電圧を複数のフィールドに互って示す図、第5図は従来のマトリクス型液晶表示装置の一例を示す図、第6図は第5図のマトリクス型液晶表示装置に於ける1フィールド内での表示タイミングの一部を示すタイミングチャート、第7図は第5図のマトリクス型液晶表示装置に於ける絵素に対する印加電圧をノンインタレース走査の場合について複数のフレームに互って示す図、第8図は第5図のマトリクス型液晶表示装置に於ける絵素に対する印加電圧をインタレース走査の場合について複数のフィールドに互って示す図、第9図(a)及び(b)は従来のマトリクス型液晶表示装置に於ける静止画の表示例及び動画の表示例をそれぞれ示す図、第10図は本発明の第2の実施例を備えたマトリクス型液晶表示装置のブロック図である。

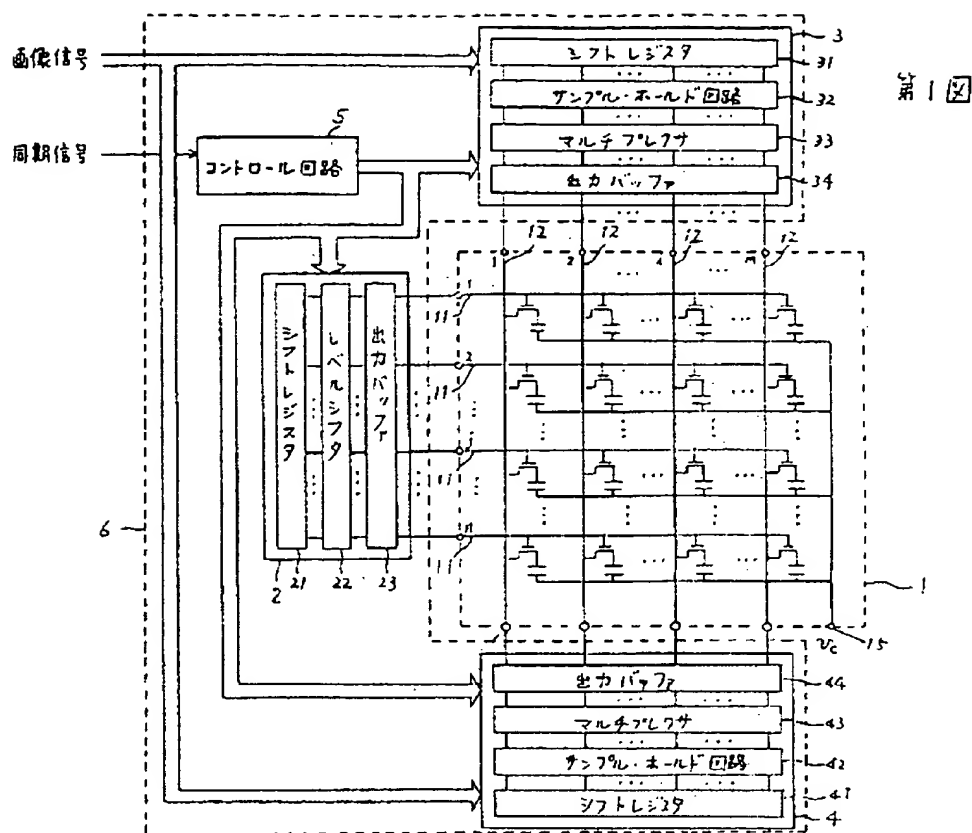
1…TFT液晶パネル、2…ゲートドライバ(

開閉端子駆動手段)、3、4、7…ソースドライバ(信号入力端子駆動手段)、5…コントロール回路、6、8…駆動回路、11…走査線、12…信号線、21…シフトレジスタ、22…レベルシフト、23…出力バッファ、31、41、71…シフトレジスタ、32、42、72…サンプル・ホールド回路、33、43、73…マルチプレクサ、34、44、74…出力バッファ、103…液晶絵素、104…TFT(スイッチング素子)。

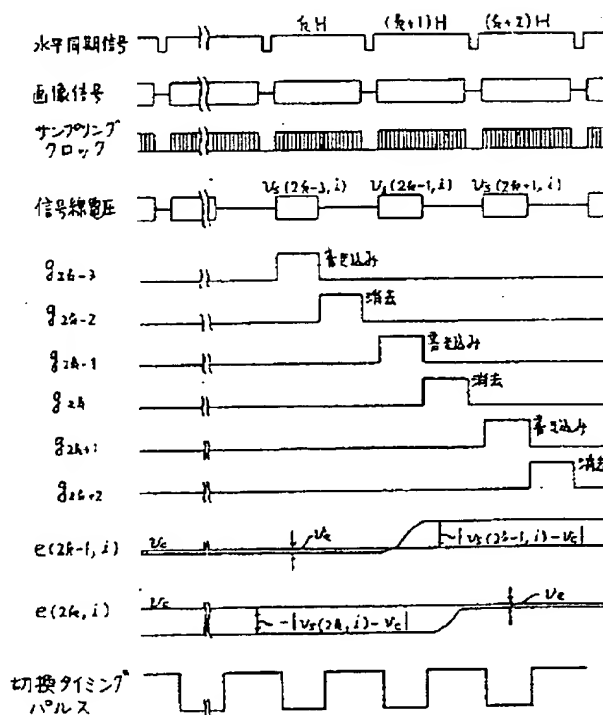
以 上

出願人 シャープ株式会社

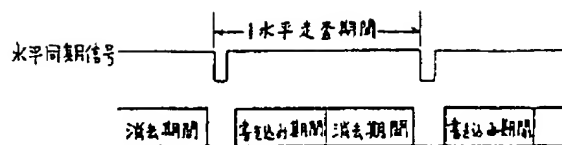
代理人 弁理士 山本秀策



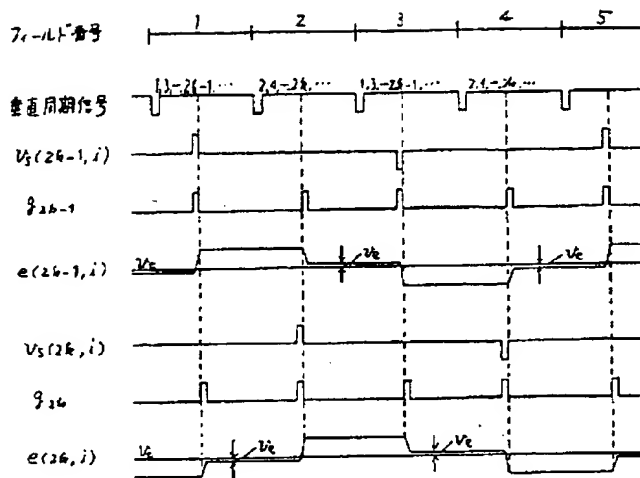
第 3 圖



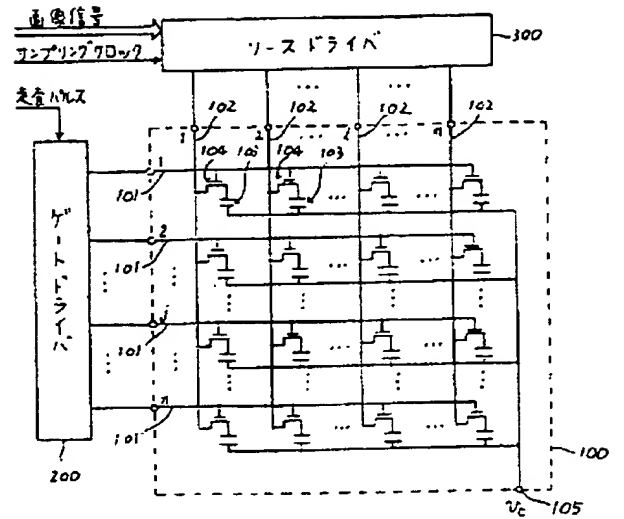
第 2 圖



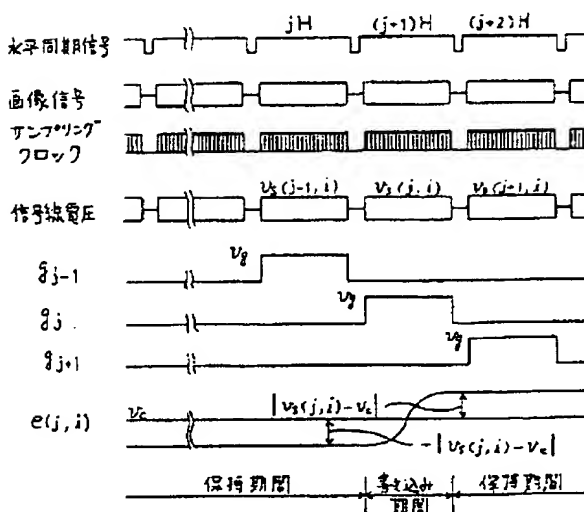
第4図



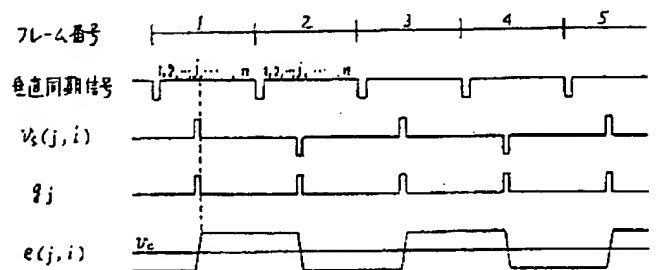
第5図



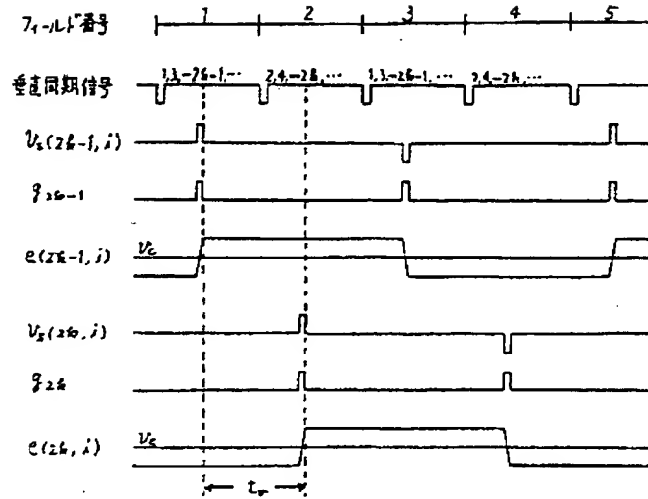
第6図



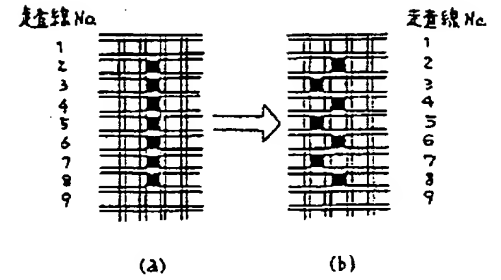
第7図



第 8 図



第 9 図



第 10 図

